

**This Page Is Inserted by IFW Operations
and is not a part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- **BLACK BORDERS**
- **TEXT CUT OFF AT TOP, BOTTOM OR SIDES**
- **FADED TEXT**
- **ILLEGIBLE TEXT**
- **SKEWED/SLANTED IMAGES**
- **COLORED PHOTOS**
- **BLACK OR VERY BLACK AND WHITE DARK PHOTOS**
- **GRAY SCALE DOCUMENTS**

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**



(19)

(11) Publication number: 2001168205 A

Generated Document

PATENT ABSTRACTS OF JAPAN

(21) Application number: 11352847

(51) Intl. Cl.: H01L 21/8234 H01L 27/088 G03F 1/08
H01L 21/027 H01L 21/3205 H01L 29/78
H01L 21/336

(22) Application date: 13.12.99

(30) Priority:

(43) Date of application
publication: 22.06.01(84) Designated
contracting states:

(71) Applicant: NEC CORP

(72) Inventor: ITO KAZUYUKI

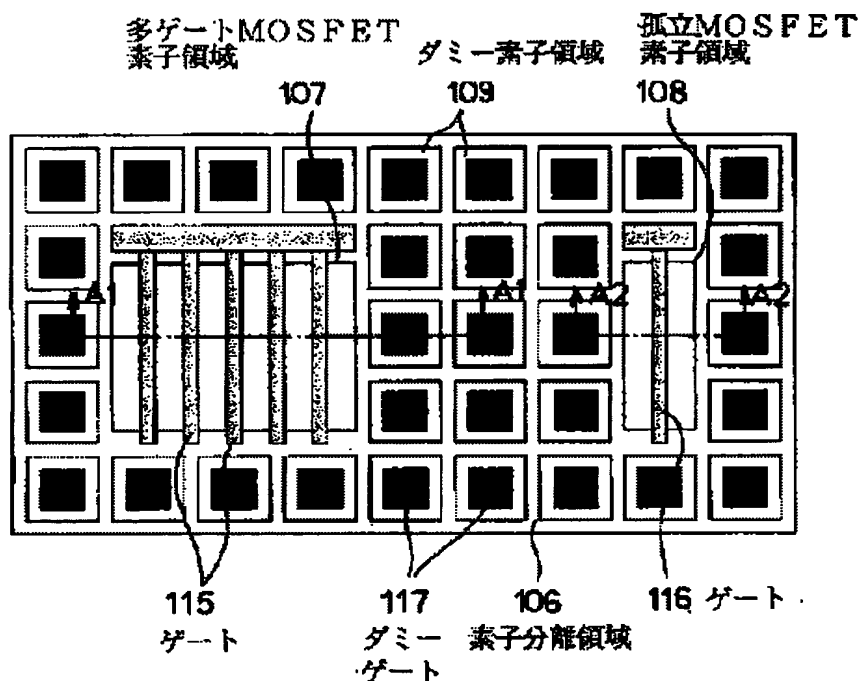
(74) Representative:

(54) SEMICONDUCTOR
DEVICE, ITS MANUFACTURING
METHOD AND MASK USED
THEREFOR

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device, a method of manufacturing it and a mask by which design of dummy gate patterns which are placed for preventing the proximity effect when gate patterns are formed by photolithography can be simplified and the mask for gates can be manufactured in a short time and at a low cost.

SOLUTION: With respect to the semiconductor device in which element regions 107 and 108 are isolated and formed by element isolation regions 106 which are formed in a given pattern on a silicon substrate and gates 115 and 116 of MOSFET are placed in the element regions 107 and 108, dummy element regions 109 are formed in the element isolation regions 106 and dummy gates 117 are formed in the dummy element regions 109. Since the gates and the dummy gates are simultaneously formed in photolithography operations, the proximity effect is generated uniformly and the length of the gates becomes uniform. Also, since patterns for forming the dummy gates can be designed by partially modifying design data of dummy element region patterns, the manufacture of the mask for gates can be simplified and the manufacturing time and costs of the mask for gates can be reduced.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-168205

(P2001-168205A)

(43) 公開日 平成13年6月22日 (2001.6.22)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
H 0 1 L	21/8234	G 0 3 F 1/08	D 2 H 0 9 5
	27/088	H 0 1 L 27/08	1 0 2 C 5 F 0 3 3
G 0 3 F	1/08	21/30	5 0 2 P 5 F 0 4 0
H 0 1 L	21/027	21/88	S 5 F 0 4 8
	21/3205	29/78	3 0 1 Y
審査請求 有 請求項の数10 O L (全 12 頁) 最終頁に続く			

(21) 出願番号 特願平11-352847

(22) 出願日 平成11年12月13日 (1999. 12. 13)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 伊藤 和幸

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100081433

弁理士 鈴木 章夫

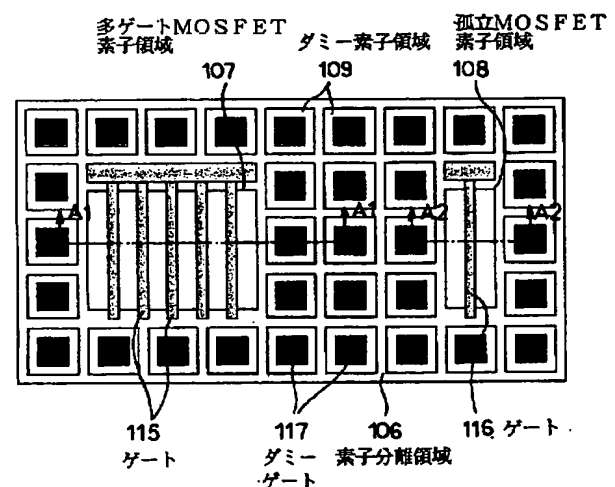
最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法並びに製造に用いるマスク

(57) 【要約】

【課題】 ゲートパターンをフォトリソグラフィ法で形成する際の近接効果を防止するために設けられるダミーゲートパターンの設計を簡易化し、ゲート用マスクを短時間でかつ低コストに製造することが可能な半導体装置及びその製造方法、並びにマスクを提供する。

【解決手段】 シリコン基板に所要のパターンに形成された素子分離領域106により素子領域107、108が区画形成され、その素子領域107、108にMOSFETのゲート115、116が配設されている半導体装置において、素子分離領域106にはダミー素子領域109が形成され、かつダミー素子領域109にダミーゲート117が形成される。フォトリソグラフィ工程においてゲートとダミーゲートが同時に形成されるため、近接効果が均等に生じ、各ゲートのゲート長を均一化する。ダミーゲートを形成するパターンはダミー素子領域パターンの設計データを一部修正して設計できるため、ゲート用マスクの製造を容易に行うことが可能になり、ゲート用マスクの製造時間を短縮し、かつ低コストに製造することが可能になる。



【特許請求の範囲】

【請求項 1】 半導体基板に所要のパターンに形成された素子分離領域により素子領域が区画形成され、前記素子領域上に MOS 型電界効果トランジスタ（以下、MOSFET）のゲートが配設されている半導体装置において、前記素子分離領域にはダミー素子領域が形成され、前記ダミー素子領域上にダミーゲートが形成されていることを特徴とする半導体装置。

【請求項 2】 前記ダミー素子領域はマトリクス配置された複数の島状に形成され、前記ダミーゲートは前記ダミー素子領域のそれぞれに形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】 前記ダミー素子領域は、矩形パターンに形成され、前記ダミーゲートは前記ダミー素子領域の矩形パターンの縦横寸法を縮小した矩形パターンに形成されていることを特徴とする請求項 2 に記載の半導体装置。

【請求項 4】 前記 MOSFET は、複数のゲートが並列された多ゲート MOSFET と、1 本のゲートが配設された孤立 MOSFET とを有し、前記ダミーゲートは前記各 MOSFET の各ゲートに沿って所要の間隔で配設されていることを特徴とする請求項 1 ないし 3 のいずれかに記載の半導体装置。

【請求項 5】 前記素子分離領域は前記半導体基板の表面に設けた分離溝内に絶縁材を埋め込んだ溝型素子分離構造である請求項 1 ないし 4 のいずれかに記載の半導体装置。

【請求項 6】 半導体基板の表面に素子領域を区画形成するための素子分離領域を形成する工程と、前記素子領域の前記半導体基板上にゲートを形成する工程を含む半導体装置の製造方法において、前記素子分離領域にダミー素子領域を形成する工程と、前記ゲートを形成する工程では前記ダミー素子領域上にダミーゲートを形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板の表面の素子領域を区画形成するための素子分離領域に素子領域用マスクを用いたフォトリソグラフィ技術により素子分離溝を形成する工程と、前記素子分離溝を埋める絶縁膜を形成し、かつ化学機械研磨法により前記絶縁膜を研磨して前記素子分離溝内に前記絶縁膜を残して素子分離領域を形成する工程と、前記半導体基板上にゲート材料膜を形成する工程と、前記ゲート材料膜上にフォトレジストを塗布し、かつゲート用マスクを用いたフォトリソグラフィ技術により前記ゲート材料膜を選択エッチングして前記素子領域上に MOSFET のゲートを形成する工程とを含む半導体装置の製造方法において、前記素子分離溝を形成する工程では前記素子分離領域には前記素子分離溝を形成しないダミー素子領域を形成し、前記ゲートを形成する工程では前記ダミー素子領域上に前記ゲート材料膜の一部によりダミーゲートを形成することを特徴とする半導体

装置の製造方法。

【請求項 8】 請求項 6、7 の製造方法で用いられるフォトリソグラフィ用のマスクであって、前記素子領域用マスクには前記ダミー素子領域に対応するダミー素子領域パターンが形成され、前記ダミー素子領域パターンはマトリクス配置された複数の島状に形成され、前記ゲート用マスクには前記ダミーゲートに対応するダミーゲートパターンが形成され、前記ダミーゲートパターンは前記ダミー素子領域パターンのそれぞれに対応する領域に形成されていることを特徴とする半導体装置製造用のマスク。

【請求項 9】 前記ゲート用マスクの前記ダミーゲートパターンは、前記素子領域用マスクの前記ダミー素子領域パターンを縮小したパターンとして形成されていることを特徴とする請求項 8 に記載の半導体装置製造用のマスク。

【請求項 10】 前記ダミー素子領域パターンは前記素子領域用マスクに形成されている素子領域パターンに沿って配設され、前記ダミーゲートパターンは前記ゲート用マスクに形成されているゲートパターンに沿って配設されていることを特徴とする請求項 9 に記載の半導体装置製造用のマスク。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は MOS 型電界効果トランジスタ（MOSFET）を含む半導体装置に関し、特にゲート電極をフォトリソグラフィ法により形成する半導体装置とその製造方法、並びに製造に使用するフォトリソグラフィ用のマスクに関するものである。

【0002】

【従来の技術】 一般に MOSFET は半導体基板の素子領域にゲートを形成し、当該ゲートを利用した自己整合法により前記素子領域に不純物を導入してソース・ドレイン領域を形成する手法がとられている。また、前記ゲートの形成に際しては、写真技術を利用したいわゆるフォトリソグラフィ法が用いられる。このフォトリソグラフィ法では、例えば、図 15（b）に示すように、シリコン等の半導体基板 201 上に図外のゲート絶縁膜を介してポリシリコン等のゲート材料膜 202 を形成した後、その上にフォトレジスト膜 203 を形成する。そして、図 15（a）に示すように、前記フォトレジスト膜 203 に対してゲートを形成するためのパターン（以下、ゲートパターンと称する）GP1、GP2 が形成されているゲート用マスク M11 を用いて露光を行い、かつ現像してフォトレジスト膜 203 を選択的に除去することでゲートパターン GP1、GP2 に対応したパターンに形成する。そして、パターン形成された前記フォトレジスト膜 203 をマスクにして前記ゲート材料膜 202 を選択的にエッチングし、ゲート G11、G12 を形成する。

【0003】ところで、近年の半導体装置の高集積化に伴い、素子の微細化が進められ、半導体装置に形成されるMOSFETのゲートの間隔も微細化され、複数本のゲートが微小間隔で配列される構成が要求される。また、その一方で、半導体装置の回路パターン設計により、単一のMOSFETが他のMOSFETとは離れて孤立状態に配設される構成も要求される。従来、このような半導体装置のMOSFETのゲートを前記したフォトリソグラフィ法により製造した場合に、図15の例で示したように、複数本のゲートが密に配置されている多ゲートMOSFETのゲートG11と、孤立したMOSFETのゲートG12とでは、製造されるゲートG11、G12の寸法、特に短冊状をしたゲートの幅方向の寸法（以下、ゲート長と称する）にばらつきが生じる。このばらつきが生じる原因の一つは、前記したフォトリソグラフィ法でのゲート用マスクを用いたフォトレジスト膜の露光時に、ゲート用マスクに形成されている隣接するゲートパターン間で生じる光の回折による近接効果がある。すなわち、図15の場合には、複数のゲートパターンが密に配列されている領域のゲートG11では近接効果によりゲート長が小さく形成され、孤立したゲートパターンの領域のゲートG12では近接効果が顕著ではないためにゲート長が大きく形成される。また、他の原因として、ゲート材料をエッチングする際に、エッチングされたゲート材料がエッチングされた側面に再付着することによるエッチングデボがあり、このエッチングデボ量がゲートパターンが密な領域と孤立した領域とでは異なり、密な領域ではデボ量が少ないためにゲート長が小さくなり、孤立した領域ではデボ量が多いことにより、ゲート長が大きくなる。

【0004】このように、ゲートパターンが密の領域と孤立した領域の各MOSFETにおいてそれぞれのゲート長に差が生じると、ゲートパターンが密の領域と孤立した領域のMOSFETの特性に差が生じ、目的とする半導体装置を設計、製造することが難しいものとなる。

【0005】そこで、従来から前記したような近接効果を防止するために、ダミーのゲートパターンを用いる技術が提案されている。例えば、特開平10-200109号公報に記載の技術では、図16(a)に示すように、ゲート用マスクM12に、本来的に形成するゲートパターンGP1、GP2に近接してダミーとなるダミーゲートパターンDPを形成している。すなわち、ゲートパターンが密の領域のゲートパターンGP1では、両側のゲートパターンの外側にダミーゲートパターンDPを配設し、複数のゲートパターンGP1の相互間隔、及びゲートパターンGP1とダミーゲートパターンDPとの間隔が略均一になるようにする。また、孤立した領域では、ゲートパターンGP2の両側にダミーゲートパターンDPを配設し、このダミーゲートパターンDPによってゲートパターンGP2の両側に密の領域と同じ間隔が

確保されるようにする。このようなダミーゲートパターンDPを利用することで、ゲートパターンが密な領域と、孤立した領域の各ゲートパターン及びダミーゲートパターンの間隔が均一になり、露光時にはそれぞれのゲートにおいて同等の近接効果が生じ、図16(b)に図15(b)に対応させた構成を示すように、各領域におけるゲートG11、G12のゲート長を等しく形成することが可能になる。なお、GDは前記ダミーゲートパターンによって形成されるダミーゲートである。

【0006】

【発明が解決しようとする課題】しかしながら、この従来技術では、ゲートパターンを形成するためのゲート用マスクM12を製造する際に、ゲートのパターン設計データを用いてCAD法によりゲートパターンGP1、GP2を形成すると同時に、前記ゲートパターンGP1、GP2に近接する領域を新たなパターン設計データとして確保し、得られたパターン設計データに基づいてダミーゲートパターンDPを設計する処理が必要となる。このため、ゲート用マスクM12のパターン設計の処理工程数が増加し、ゲート用マスクの製造時間が長くなり、かつゲート用マスクが高コスト化する要因となっている。特に、素子領域のパターンが同一でも、素子領域内に形成するゲート数やゲート間隔等が異なる複数種類のゲートパターンを備える半導体装置を形成するような場合には、各ゲートパターン毎にダミーゲートパターンを個々に設計、製造する必要がある、製造工程が極めて煩雑なものになる。

【0007】本発明の目的は、ゲートパターンにおける近接効果を防止するために設けられるダミーゲートパターンの設計を簡易化し、ゲート用マスクを短時間でかつ低コストに製造することが可能な半導体装置及びその製造方法、並びにフォトリソグラフィ用のマスクを提供するものである。

【0008】

【課題を解決するための手段】本発明は、半導体基板に所要のパターンに形成された素子分離領域により素子領域が区画形成され、前記素子領域上にMOSFETのゲートが配設されている半導体装置において、前記素子分離領域にはダミー素子領域が形成され、前記ダミー素子領域上にダミーゲートが形成されていることを特徴とする。ここで、前記ダミー素子領域はマトリクス配置された複数の島状に形成され、前記ダミーゲートは前記ダミー素子領域のそれぞれに形成される。例えば、前記ダミー素子領域は、矩形パターンに形成され、前記ダミーゲートは前記ダミー素子領域の矩形パターンの縦横寸法を縮小した矩形パターンに形成される。また、本発明の半導体装置は、前記MOSFETは、複数のゲートが並列された多ゲートMOSFETと、1本のゲートが配設された孤立MOSFETとを有し、前記ダミーゲートは前記各MOSFETの各ゲートに沿って所要の間隔で配設

される半導体装置に適用される。また、前記素子分離領域は前記半導体基板の表面に設けた分離溝内に絶縁材を埋め込んだ溝型素子分離構造として構成される。

【0009】本発明の半導体装置の製造方法は、半導体基板の表面に素子領域を区画形成するための素子分離領域を形成する工程と、前記素子領域の前記半導体基板上にゲートを形成する工程を含む半導体装置の製造方法において、前記素子分離領域にダミー素子領域を形成する工程と、前記ゲートを形成する工程では前記ダミー素子領域上にダミーゲートを形成する工程を含むことを特徴とする。例えば、半導体基板の表面の素子領域を区画形成するための素子分離領域に素子領域用マスクを用いたフォトリソグラフィ技術により素子分離溝を形成する工程と、前記素子分離溝を埋める絶縁膜を形成し、かつ化学機械研磨法により前記絶縁膜を研磨して前記素子分離溝内に前記絶縁膜を残して素子分離領域を形成する工程と、前記半導体基板上にゲート材料膜を形成する工程と、前記ゲート材料膜上にフォトレジストを塗布し、かつゲート用マスクを用いたフォトリソグラフィ技術により前記ゲート材料膜を選択エッチングして前記素子領域上にMOSFETのゲートを形成する工程とを含む半導体装置の製造方法において、前記素子分離溝を形成する工程では前記素子分離領域には前記素子分離溝を形成しないダミー素子領域を形成し、前記ゲートを形成する工程では前記ダミー素子領域上に前記ゲート材料膜の一部によりダミーゲートを形成することを特徴とする。

【0010】本発明の製造方法で行われるフォトリソグラフィ工程で用いられるマスク、すなわちフォトマスクの構成として、前記素子領域用マスクには前記ダミー素子領域に対応するダミー素子領域パターンが形成され、前記ダミー素子領域パターンはマトリクス配置された複数の島状に形成され、前記ゲート用マスクには前記ダミーゲートに対応するダミーゲートパターンが形成され、前記ダミーゲートパターンは前記ダミー素子領域パターンのそれぞれに対応する領域に形成されていることを特徴とする。ここで、前記ゲート用マスクの前記ダミーゲートパターンは、前記素子領域用マスクの前記ダミー素子領域パターンを縮小したパターンとして形成される。この場合、前記ダミー素子領域パターンは前記素子領域用マスクに形成されている素子領域パターンに沿って配設され、前記ダミーゲートパターンは前記ゲート用マスクに形成されているゲートパターンに沿って配設される。

【0011】本発明の半導体装置では、MOSFETが形成される半導体基板の素子分離領域にはダミー素子領域が形成され、かつこのダミー素子領域上にダミーゲートが形成されているので、本発明の製造方法にかかる製造工程においては、特にゲートを形成するためのフォトリソグラフィ工程においては、ゲートが形成されるのと同時にダミーゲートが形成されることになり、ゲート用マスクを用いてフォトレジストを露光する際の近接効果

が単一または複数のMOSFETの複数のゲートに対してそれぞれ均等に生じることになり、結果として各ゲートを同一ゲート長で形成することが可能になる。また、その一方で、本発明にかかるゲート用マスクに形成するダミーゲートパターンは、素子領域用マスクに形成されているダミー素子領域パターンの設計データを一部修正したパターンとして形成することができるため、ダミー素子領域のパターンの設計データに対して単純な演算を施すことでダミーゲートパターンの設計データを容易に得ることができ、結果としてゲート用マスクの製造を容易に行うことが可能になり、ゲート用マスクの製造時間を短縮し、かつ低コストに製造することが可能になる。

【0012】

【発明の実施の形態】次に、本発明の実施形態を図面を参照して説明する。図1及び図2は本発明の第1の実施形態の半導体装置を製造する際にフォトリソグラフィ工程で使用するマスクのパターン図である。ここでは、複数本のゲートを密に並列配置した多ゲートMOSFETと、1本のゲートで構成される孤立MOSFETをシリコン基板上に形成するためのマスクの例を示している。図1は素子領域用マスクM1であり、多ゲートMOSFETの素子領域S1と孤立MOSFETの素子領域S2を素子分離領域S0から区画形成するための素子領域パターンP1と、前記素子分離領域S0内に平面XY方向にマトリクス配置された複数の正方形をした島状のダミー素子領域S3を有するダミー素子領域パターンP2とで構成される。前記素子領域パターンP1とダミー素子領域パターンP2はそれぞれのパターン設計データを合成することで容易に前記素子領域S1、S2及び素子分離領域S0と、ダミー素子領域S3を一体化した前記素子領域用マスクM1を形成することが可能である。なお、この素子領域用マスクM1は、後述するようにCMP法を用いた素子分離形成技術を採用する従来の半導体装置の製造においては既に用いられているマスクである。

【0013】図2はゲート用マスクM2であり、前記多ゲートMOSFETのゲートを形成するためのゲートG1と、孤立MOSFETのゲートを形成するためのゲートG2の各パターンとで構成されるゲートパターンP1と、前記素子領域用マスクM1のダミー素子領域パターンP2に対応して、各ダミー素子領域S3内に配置されるダミーゲートG3のパターンを有するダミーゲートパターンP12とで構成される。前記ゲートパターンP11は、従来と同様にゲートのパターン設計データから得ることができる。一方、前記ダミーゲートパターンP12は、図3に示すように、図1の素子領域用マスクM1を形成する際に用いたダミー素子領域S3の前記したパターン設計データを利用し、当該パターン設計データの縦横寸法をそれぞれ縮小処理したゲートG3のパターン設計データによって形成することが可能である。そし

て、前記ゲートパターンP11とダミーゲートパターンP12とを合成して前記ゲート用マスクM2を形成する。

【0014】以上の素子領域用マスクM1とゲート用マスクM2を用いて本発明にかかるMOSFETの製造方法を図4～図13を参照して説明する。なお、これらの図は図1及び図2のA1-A1、A2-A2線に対応する箇所の半導体装置の断面図である。まず、図4において、シリコン基板101の表面にシリコン酸化膜及びシリコン窒化膜を順次積層したマスク酸化・窒化膜102を形成し、その上にフォトレジスト膜103を形成する。そして、図1の素子領域用マスクM1を用いて前記フォトレジスト膜103を露光して前記素子領域パターンP1とダミー素子領域パターンP2に対応する領域のみフォトレジスト膜103を残す。そして、図5に示すように、前記フォトレジスト膜103を用いて前記マスク酸化・窒化膜102を選択エッチングする。さらに、前記フォトレジスト膜103を除去した後、前記マスク酸化・窒化膜102をマスクにして前記シリコン基板101の表面を所要の深さまでエッチングし、狭い幅の分離溝(STI溝)104を形成する。

【0015】次いで、図6のように、前記シリコン基板101の表面に前記STI溝104を完全に埋め込むのに十分な厚さのシリコン酸化膜105をCVD法により成長する。しかる上で、図7に示すように、前記マスク酸化・窒化膜102をストップとした化学機械研磨法(CMP法)により前記シリコン酸化膜105を研磨して表面を平坦化する。その後、図8のように、前記マスク酸化・窒化膜102及びシリコン基板101の表面上のシリコン酸化膜105を完全に除去することで、前記STI溝104内のみ前記シリコン酸化膜105が埋め込まれた素子分離領域106が形成される。また、前記素子分離領域106によって多ゲートMOSFETの素子領域107と孤立MOSFETの素子領域108がそれぞれ区画形成され、さらに本来は素子分離領域として機能する領域内、換言すれば本来はSTI溝が形成される領域内に前記シリコン基板101の表面が初期状態のまま残されたダミー素子領域109が形成される。

【0016】ここで、前記ダミー素子領域は、前記CMP工程での研磨において、シリコン基板の表面の平坦性を保持するために設けられる。すなわち、前記ダミー素子領域109が形成されない場合には、図13(a)のように、前記STI溝104は素子分離領域の全域にわたって形成される。そのため、前記シリコン酸化・窒化膜102を成長し、かつその後にはCMP法によってシリコン酸化膜105を成長してSTI溝104を埋め込んだ後、このシリコン酸化膜105をCMP法によって研磨したときには、図13(b)のように、面積の広いSTI溝104上でのシリコン酸化膜105の研磨が進行され、当該STI溝104内に残されたシリコン酸化膜

105の表面が素子領域に比較して凹んだ状態になってしまう。このような表面が凹んだ状態が生じると、シリコン基板の表面の平坦性が劣化され、後工程で積層する配線等を高い信頼度で形成することが困難になる。この点、前記したように、素子分離領域106内にダミー素子領域109を形成し、当該ダミー素子領域109ではシリコン基板101にSTI溝104を形成しないようにすることで、面積の大きなSTI溝が生じることが防止でき、CMPを施した後のシリコン基板101の表面、特に素子分離領域106の表面を平坦化することが可能になる。

【0017】しかる上で、図8に示したように、前記シリコン基板101に対してP型不純物、N型不純物をそれぞれ所要の領域に導入し、P型ウェル110、N型ウェル111を形成する。これらウェルの形成方法は、例えば、図示は省略するが、最初にN型ウェル領域をフォトレジスト膜で被覆した状態でシリコン基板にP型不純物をイオン注入し、次いで、今度はPウェル領域をフォトレジスト膜で被覆した状態でシリコン基板にN型不純物をイオン注入することにより形成できる。

【0018】次いで、図9のように、前記シリコン基板101の表面にゲート材料としてのポリシリコン膜112を形成し、その上に反射防止膜113を形成し、さらにフォトレジスト膜114を形成する。そして、前記ゲート用マスクM2を用いて前記フォトレジスト膜114を露光し、かつ現像する。このとき、前記多ゲートMOSFETの素子領域107では、複数本(ここでは5本)のゲートG1のパターンが並列配置されているが、その両外側にはダミーゲートG3のパターンが配置されており、また前記孤立MOSFETでは1本のゲートG2のパターンの両側にダミーゲートG3のパターンが配置されている。そのため、各ゲートG1、G2のパターンではダミーゲートG3のパターンが近接した領域に存在することによって、本来のゲートG1、G2の各パターンにおけるパターン間隔がほぼ均一なものとなる。これにより、前記ゲート用マスクM2を用いて前記フォトレジスト膜114を露光、現像した際に近接効果が生じた場合でも各ゲートG1、G2に対応する前記フォトレジスト膜114のゲート長を均一に形成することが可能になる。

【0019】次いで、図10に示すように、現像された前記フォトレジスト膜114をマスクにして前記反射防止膜113、ポリシリコン膜112を順次エッチングし、前記反射防止膜113を除去することで、多ゲートMOSFETのゲート115、孤立MOSFETのゲート116、及びダミーゲート117が形成される。図11はその平面配置図であり、前記各ゲート115、116は各MOSFETを形成する素子領域107、108上にそれぞれ形成され、前記多ゲートMOSFETでは複数本のゲート115が並列状態に形成され、前記孤立M

OSFETでは1本のゲート116が形成される。また、これと同時に前記各MOSFETの周囲に形成された素子分離領域106内、すなわちマトリクス配置された複数の正方形のダミー素子領域109上にダミーゲート117が形成される。前記したように、ゲート用マスクM2のダミーゲートG3のパターンは、素子領域用マスクM1のダミー素子領域S3のパターン設計データを一部修正してダミー素子領域の縦横寸法を縮小したパターンとして形成しているため、ダミーゲート117はダミー素子領域109内に、それよりも小さい寸法で形成

【0020】しかる後、図12に示すように、前記N型ウェル111上をフォトリソ膜等でマスクした上で、全面にN型不純物をイオン注入し、前記多ゲートMOSFETの素子領域107に前記ゲート115を用いた自己整合法によりN型ソース・ドレイン領域118を形成し、N型の多ゲートMOSFETを形成する。また、同様に、P型ウェル110上をフォトリソ膜等でマスクした上で全面にP型不純物をイオン注入し、前記孤立MOSFETの素子領域108に前記ゲート116を用いた自己整合法によりP型ソース・ドレイン領域119を形成し、P型の孤立MOSFETを形成する。そして、前記シリコン基板101の全面にBPSG膜等の層間絶縁膜120を形成し、前記ソース・ドレイン領域118、119の選択された領域にコンタクトホール121を開口した上で層間絶縁膜上に配線122を形成する。

【0021】以上の実施形態の製造方法によれば、多ゲートMOSFETの複数本のゲート115のうち、両側のゲートには外側に沿ってダミーゲート117が形成される。すなわち、フォトリソグラフィ法によりゲートを形成する際に用いるゲート用マスクM2には、ゲートG1のパターンに沿ってダミーゲートG3のパターンが存在している。同様に孤立MOSFETの1本のゲート116の両側にもダミーゲート117が形成されるため、ゲート用マスクM2ではゲートG2のパターンに沿ってダミーゲートG3のパターンが存在している。そのため、ゲート用マスクM2を用いてフォトリソを露光する際の近接効果が両MOSFETの各ゲート115、116を形成する際のフォトリソ膜114の露光、現像に際して均等に生じることになり、結果として多ゲートMOSFETの複数本のゲート115と、孤立MOSFETの1本のゲート116は、それぞれ同一ゲート長に形成される。

【0022】また、その一方で、ゲート用マスクM2に形成するダミーゲートG3のパターンは、図3に示したように、素子領域用マスクM1に形成されているダミー素子領域S3のパターン設計データを一部修正したパターンとして、すなわち、前記実施形態の場合には正方形をしたダミー素子領域S3の縦横寸法をそれぞれ一定の

割合で縮小した矩形のパターンとして形成することができるため、ダミー素子領域S3のパターンの設計データに対して単純な演算を施すことでダミーゲートG3のパターン設計データを容易に得ることができ、結果としてゲート用マスクM2の製造を容易に行うことができる。したがって、ゲート用マスクM2の製造時間を短縮し、かつ低コストに製造することが可能になる。

【0023】図14(a)は本発明の第2の実施形態の半導体装置の平面パターン図である。なお、前記第1の実施形態と等価な部分には同一符号を付してある。この実施形態では、素子分離領域106にそれぞれ正方形のパターンをした複数のダミー素子領域109をマトリクス状に配置している点では前記第1の実施形態と同じであるが、ここではマトリクス配置の平面XY方向を素子領域107、108にそれぞれ形成するゲート115、116の長手方向に沿ってこれと垂直な平面X方向に対して所要の寸法で徐々にずらしている。このずらした寸法はダミー素子領域109及びその上のダミーゲート117の配列パターン及びその寸法と、後述するように上層に形成される配線122(図12参照)の配線幅や配管間隔等により適宜に設定される。

【0024】このようにダミー素子領域109及びダミーゲート117を、ゲート115、116に対して平面上でX方向に順次ずらした配列とすることにより、図14(b2)に平面構成を示すように、その上に延長される平行な複数本の配線122a、122bが前記ゲート115、116の長手方向に沿って形成されたときに、これら複数本の各配線122a、122bは前記ダミー素子領域109及びダミーゲート117上をそれぞれ均一な状態で交差しながら延長されることになる。これにより、各配線122a、122bがダミー素子領域109及びダミーゲート117との間に生じる配線容量を各配線で均一化し、配線間での特性のばらつきを解消することが可能になる。因に、ダミー素子領域109及びダミーゲート117のマトリクスの平面XY方向が前記第1の実施形態のようにゲート115、116の延長方向に沿ってずれていない場合には、図13(b1)のように、ダミー素子領域109及びダミーゲート117と交差する配線122aと、交差しない、あるいは交差面積の小さい配線122bとが生じることになり、各配線の配線容量がばらついて配線間での特性のばらつきが生じることになる。

【0025】なお、図14では、ダミーゲート117を平面Y方向に沿ってX方向に順次ずらした例を示しているが、平面X方向に延びる配線に対して配線間の特性のばらつきを抑制する場合には、ダミーゲート117を平面X方向に沿ってY方向に順次ずらした配列としてもよい。また、平面X方向とY方向に対して共にずらす構成とすれば、平面X方向、Y方向の両配線に対して特性のばらつきを防止することが可能である。あるいは、ダミ

ーゲート 117 の矩形方向をゲート 115, 116 の長さ方向に対して平面方向に傾けた構成としてもよい。

【0026】ここで、前記各実施形態では、多ゲート MOSFET と孤立 MOSFET についての例を示しているが、多ゲート MOSFET における複数本のゲートのうちの間中部のゲートと両側に位置されるゲートとの間についても近接効果によるゲート長のばらつきが生じることがあるため、多ゲート MOSFET のみを含む半導体装置についても本発明を同様に適用することが可能である。

【0027】また、前記実施形態では、ダミー素子領域のパターン形状を正方形としているが、長方形、あるいは多角形、さらには円形であってもよい。このようにダミー素子領域のパターン形状を正方形以外の形状にした場合でも、ゲートを形成する際の近接効果を各ゲートに対して均一に生じさせることが可能であるとともに、ゲート用マスクに形成するダミーゲートパターンは、ダミー素子領域の設計データを修正するだけで得ることができ、ゲート用マスクの製造の容易化、及び製造時間の短縮と低コスト化が実現できる。

【0028】

【発明の効果】以上説明したように本発明は、MOSFET が形成される半導体基板の素子分離領域にはダミー素子領域が形成され、かつこのダミー素子領域上にダミーゲートが形成されているので、その製造工程においては、特にゲートを形成するためのフォトリソグラフィ工程においては、ゲートが形成されるのと同時にダミーゲートが形成されることになり、ゲート用マスクを用いてフォトレジストを露光する際の近接効果が単一または複数の MOSFET の複数のゲートに対してそれぞれ均等に生じることになり、結果として各ゲートを同一ゲート長に形成することが可能になる。また、その一方で、ゲート用マスクに形成するダミーゲートパターンは、素子領域用マスクに形成されているダミー素子領域パターンの設計データを一部修正したパターンとして形成することができるため、ダミー素子領域のパターンの設計データに対して単純な演算を施すことでダミーゲートパターンの設計データを容易に得ることができ、結果としてゲート用マスクの製造を容易に行うことが可能になり、ゲート用マスクの製造時間を短縮し、かつ低コストに製造することが可能になる。

【図面の簡単な説明】

【図 1】本発明にかかる素子領域用マスクのパターン図である。

【図 2】本発明にかかるゲート用マスクのパターン図である。

【図 3】ゲート用マスクのダミーゲートのパターンを設計する手法を説明するための図である。

【図 4】本発明の第 1 の実施形態の製造工程 1 の断面図である。

【図 5】本発明の第 1 の実施形態の製造工程 2 の断面図である。

【図 6】本発明の第 1 の実施形態の製造工程 3 の断面図である。

【図 7】本発明の第 1 の実施形態の製造工程 4 の断面図である。

【図 8】本発明の第 1 の実施形態の製造工程 5 の断面図である。

【図 9】本発明の第 1 の実施形態の製造工程 6 の断面図である。

【図 10】本発明の第 1 の実施形態の製造工程 7 の断面図である。

【図 11】本発明の第 1 の実施形態の製造工程 7 の平面パターン図である。

【図 12】本発明の第 1 の実施形態の製造工程 8 の断面図である。

【図 13】本発明におけるダミー素子領域の有効性を説明するための断面図である。

【図 14】本発明の第 2 の実施形態の平面図とその作用を説明する模式平面図である。

【図 15】近接効果を説明するための平面図と断面図である。

【図 16】従来の製造方法の一例を説明するための平面図と断面図である。

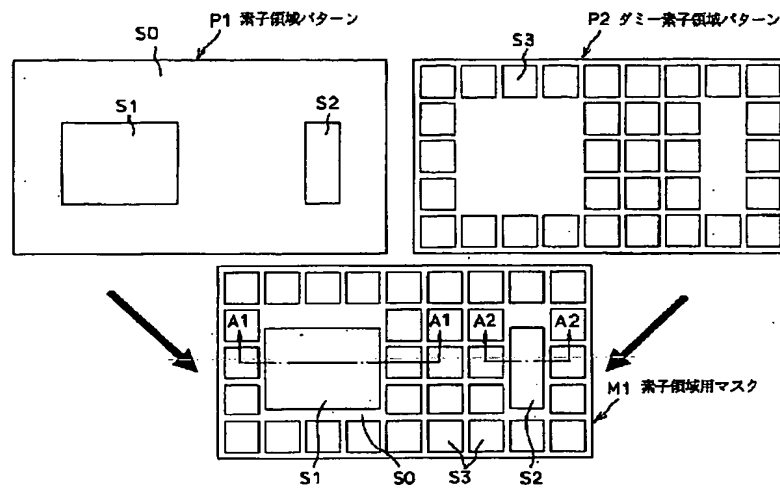
【符号の説明】

M1 素子分離用マスク
M2 ゲート用マスク
S0 素子分離領域のパターン
S1, S2 素子領域のパターン
S3 ダミー素子領域のパターン
G1, G2 ゲートのパターン
G3 ダミーゲートのパターン
101 シリコン基板
102 シリコン酸化・窒化膜
103 フォトレジスト膜
104 STI 溝
105 シリコン酸化膜
106 素子分離領域
107, 108 素子領域
109 ダミー素子領域
110 P型ウェル
111 N型ウェル
112 ポリシリコン膜
113 反射防止膜
114 フォトレジスト膜
115, 116 ゲート
117 ダミーゲート
118 ソース・ドレイン領域
119 ソース・ドレイン領域
120 層間絶縁膜

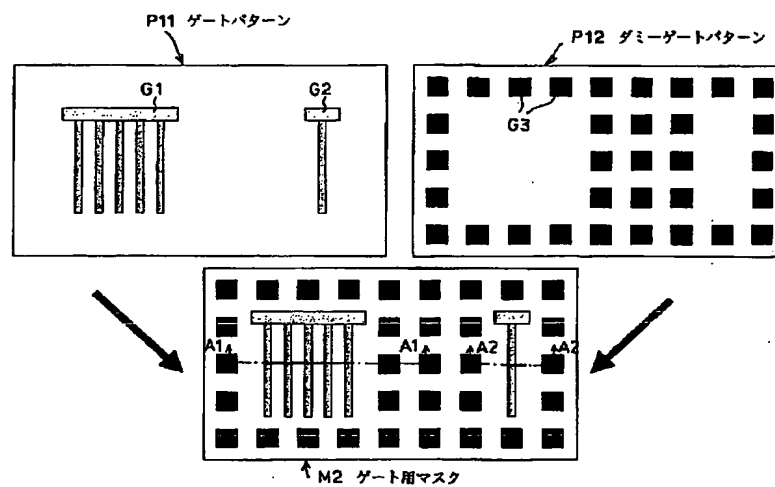
121 コンタクトホール

* * 122 配線

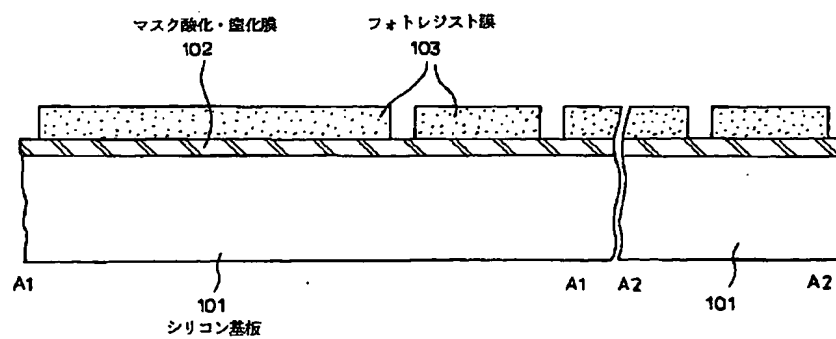
【図1】



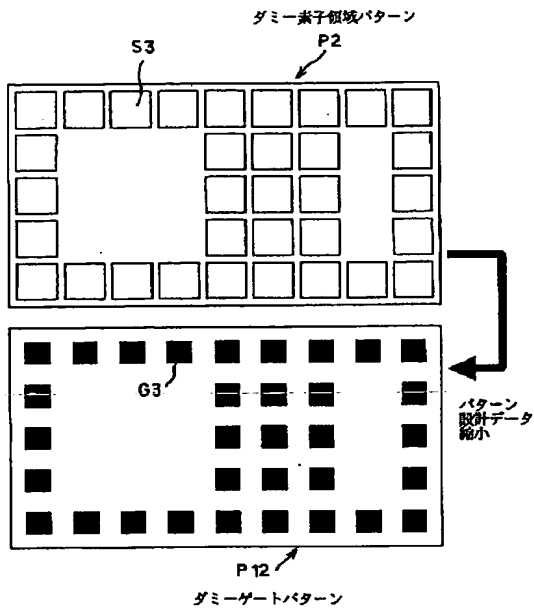
【図2】



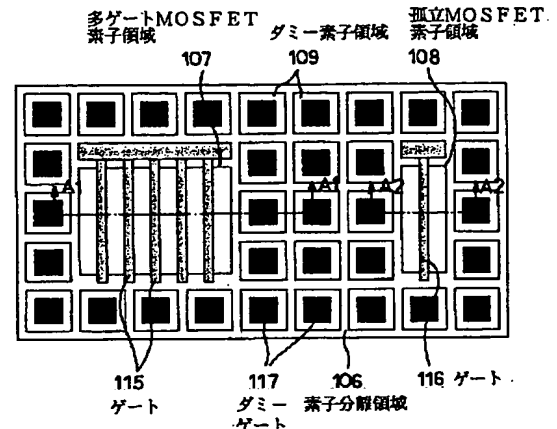
【図4】



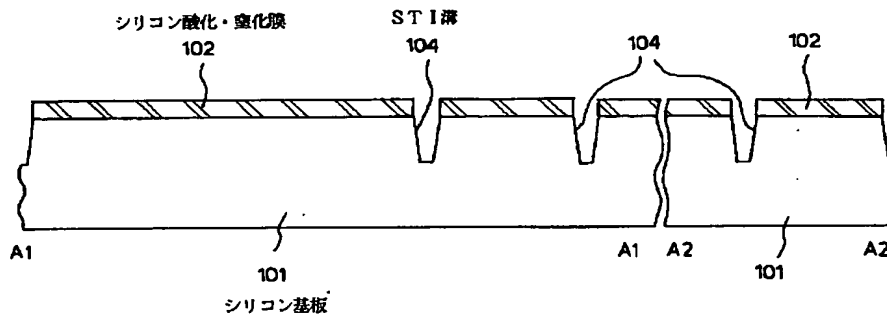
【図3】



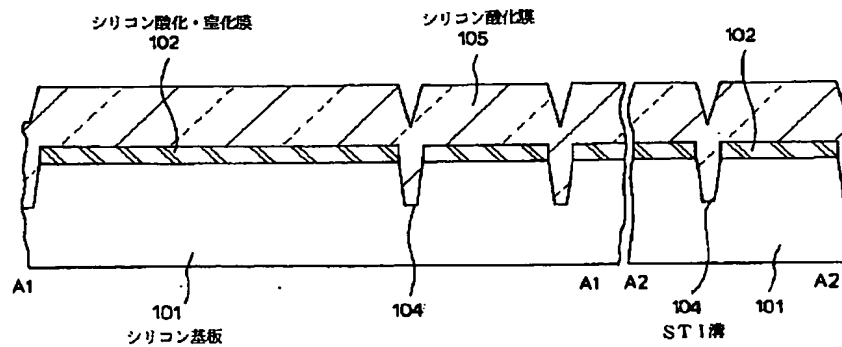
【図11】



【図5】



【図6】



シリコン酸化・窒化膜 102

シリコン酸化膜 105

102

105

102

A1 A2

101

シリコン基板

104

STI溝

101

ゲート 115

ダミーゲート 117

ゲート 116

108

P

N

A1

107

110

101

106

109

106

A2

109

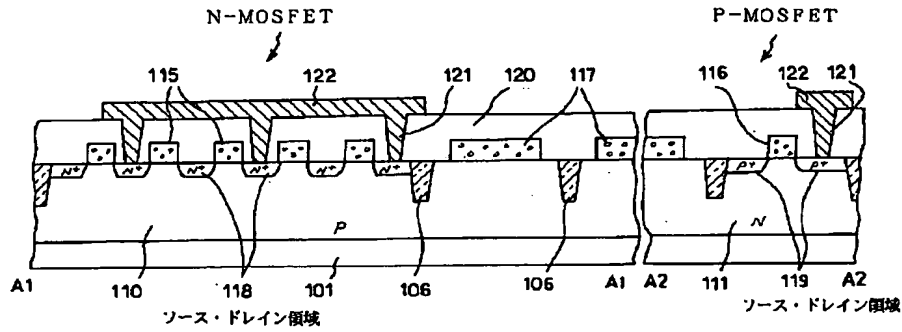
111

101

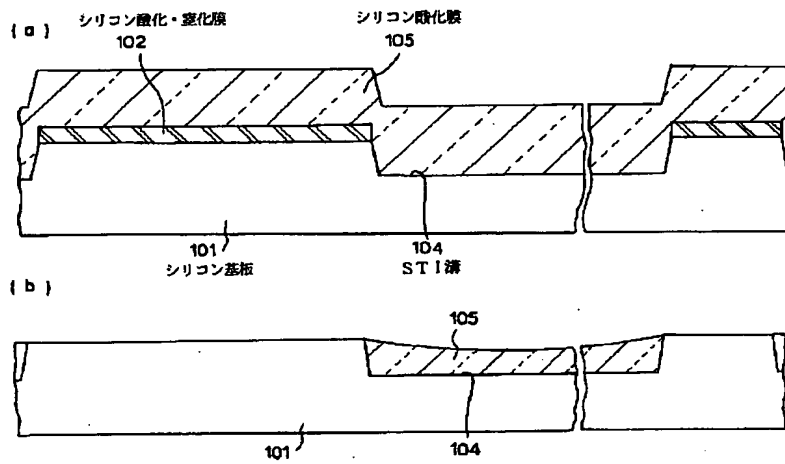
A2

シリコン基板

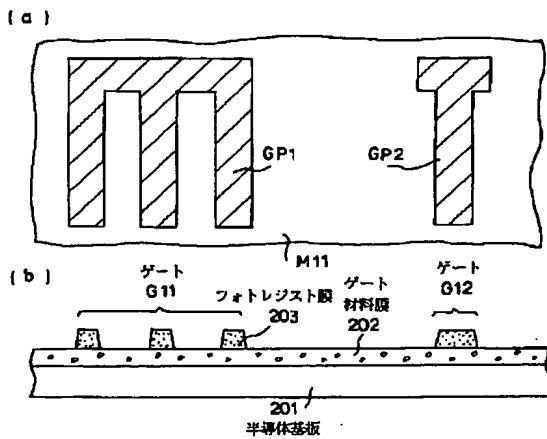
【図12】



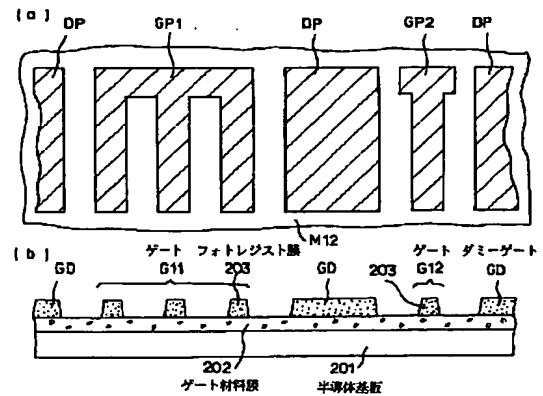
【図13】



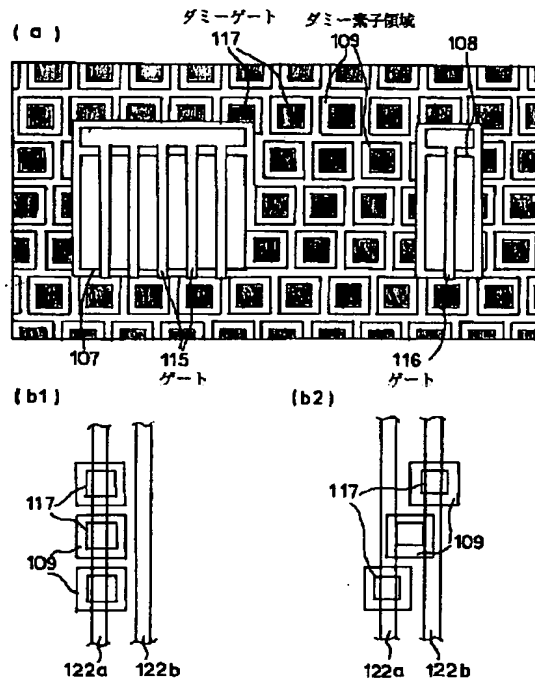
【図15】



【図16】



【図14】



フロントページの続き

(51)Int.Cl.⁷

H01L 29/78

21/336

識別記号

F I

テーマコード (参考)

F ターム (参考) 2H095 BB01 BB02 BB36

5F033 KK04 QQ09 QQ18 RR04 RR06

RR15 VV01 VV06 XX03 XX33

5F040 DB01 EC07 EK05 EL03 EL04

EM01 FA02 FC17

5F048 AA00 AA01 AA04 AA09 AC01

BA01 BB00 BB03 BB05 BE03

BG00 BG14